

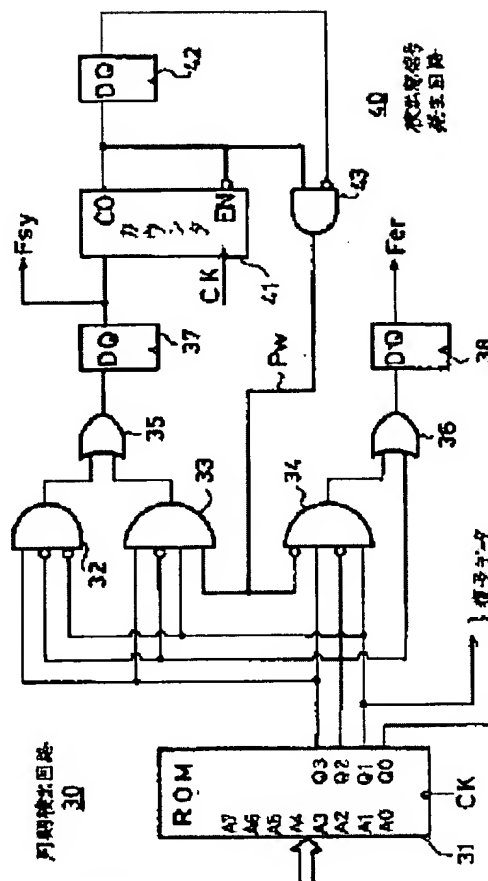
## DIGITAL SYNCHRONOUS DETECTOR

<b>Patent number:</b>	JP5128742
<b>Publication date:</b>	1993-05-25
<b>Inventor:</b>	ISOZAKI MASAOKI
<b>Applicant:</b>	SONY CORP
<b>Classification:</b>	
- international:	G11B20/14; G11B20/18
- european:	
<b>Application number:</b>	JP19910286781 19911031
<b>Priority number(s):</b>	

## Abstract of JP5128742

**PURPOSE:**To improve the SYNC pattern detection capability by setting a detection section having a prescribed period by a detection window signal generating circuit and correcting (k-1)-bit error of a SYNC pattern in this detection section.

**CONSTITUTION:** A synchronous detection circuit 30 consists of a ROM 31, a detecting part consisting of AND gates 32 to 34, OR gates 35 and 36, and DFFs 37 and 38, and a detection window signal generating circuit 40 consisting of a counter 41, a DFF 42, and an AND gate 43. A data table of 8-bit input and 4-bit output is mounted on the ROM 31, and lower two bits Q0 and Q1 out of four bit outputs are used as composite data, and upper two bits Q2 and Q3 are used as synchronizing bits or error bits. In this digital synchronous detector, the detection section having a prescribed period is set by the circuit 40 with respect to the SYNC pattern having a prescribed period whose humming distance from a digital modulation code is  $k$  or more bits, and  $(k-1)$ -bit error of the SYNC pattern is corrected in this detection section.



Data supplied from the *esp@cenet* database - Patent Abstracts of Japan

**BEST AVAILABLE COPY**

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3318937号

(P3318937)

(45)発行日 平成14年 8 月26日 (2002. 8. 26)

(24)登録日 平成14年 6 月21日 (2002. 6. 21)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

G 1 1 B 20/14

3 5 1

G 1 1 B 20/14

3 5 1 Z

20/18

5 7 4

20/18

5 7 4 G

請求項の数1 (全 8 頁)

(21)出願番号 特願平3-286781

(22)出願日 平成 3 年10月31日 (1991. 10. 31)

(65)公開番号 特開平5-128742

(43)公開日 平成 5 年 5 月25日 (1993. 5. 25)

審査請求日 平成10年 9 月25日 (1998. 9. 25)

(73)特許権者 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72)発明者 五十崎 正明

東京都品川区北品川 6 丁目 7 番35号 ソ

ニー株式会社内

(74)代理人 100080883

弁理士 松隈 秀盛

審査官 小林 大介

(56)参考文献 特開 平 3 - 8175 (J P, A)

特表 平 2 - 500701 (J P, A)

(58)調査した分野(Int.Cl.<sup>7</sup>, D B名)

G11B 20/14

G11B 20/18

(54)【発明の名称】 デジタル同期検出装置

1

(57)【特許請求の範囲】

【請求項 1】 所定周期で一連の入力データ列に挿入され、この入力データ列との距離が  $k$  以上となる特定パターンの同期データ列を、上記一連の入力データ列から検出するようにしたデジタル同期検出装置において、上記所定周期の検出窓信号を発生する検出窓信号発生手段と、  
上記同期データ列の  $k-1$  ビットエラーパターンを記録している記録手段とを備え、  
上記検出窓信号の発生区間で、上記記録手段に記録されたエラーパターンと上記入力データ列とのビットパターンが一致する場合には、上記入力データ列を同期データ列として検出することを特徴とするデジタル同期検出装置。

【発明の詳細な説明】

2

【0001】

【産業上の利用分野】 この発明はデジタル同期検出装置に関する。

【0002】

【従来の技術】 周知のように、デジタル情報を伝送する際には、伝送路において生じたエラーを検出し、訂正することが一般的に行なわれる。そして、符号理論によれば、エラー訂正の基本原理は、符号語（記号列）間のハミング距離が離れていることである。

10

【0003】 同一長の2つの記号列  $u$ ,  $v$  の対応する位置にある記号の対のうち、互いに異なっているものの数を、記号列  $u$ ,  $v$  のハミング距離と呼び、 $d_H(u, v)$  で表わす。以下、単に距離と呼ぶことがある。また、すべての符号語の長さが有限で等しいブロック符号において、異なる符号語間のハミング距離の最小値を符

号の最小 (ハミング) 距離と呼び、 $d_{\min}$  で表わす。

【0004】図4に示すように、符号語  $c_i$ 、 $c_j$  から距離  $t$  以下の記号列の集合は、概念的に、それぞれ  $c_i$ 、 $c_j$  を中心とする半径  $t$  の球で表わされ、次の条件が成立する場合には、共通部分を持たない。

$$d_{\min} \geq 2t + 1$$

【0005】ブロック符号の符号語  $c_i$  が送出されたとき、伝送路において  $e$  ( $\leq t$ ) 箇のエラーが生じて、 $r$  が受信されたとすると、 $e$  は次式のように表される。

$$e = d_H(c_i, r) \leq t$$

このとき、 $c_i$  以外の任意の符号語  $c_j$  に対しては次のようになる。

$$d_H(c_j, r) > t$$

【0006】従って、受信語  $r$  に対して、 $d_H(x, r) \leq t$  となる符号語  $x$  が送出されたと判定すれば、 $t$  箇以下 ( $t$  重) のエラーはすべて訂正することができる。一般的には、 $d_{\min}$  が  $2t_1 + 1$  以上の符号は、 $t_1$  重のエラーを訂正できると共に、 $t_1 + t_2$  重のエラーを検出することができる。

【0007】従来、デジタル信号の磁気記録においては、電磁変換特性を考慮して、個々の原データが、例えば8-10変調、8-14変調など、直流成分や、同極性のビットの連続がなるべく少ない変調符号に変換されて記録されている。通常、この変調符号は、所定の変調規則 (ルール) に則り、全ての入力データ列に対応する \*

\* サンプルデータが、テーブルとして、ROM (Read Only Memory) に搭載される。

【0008】再生時に、主として磁電変換系で発生するエラーにより、変調ルールに違反して、ROMテーブルに含まれないサンプルデータが得られた場合は、このテーブルの全てのサンプルをそれぞれ基準として、違反サンプルとの1対比較により、基準サンプルとのハミング距離が求められ、違反サンプルは、ハミング距離が最も近いサンプルに復号される。即ち、最小距離復号法により、エラーが訂正される。

【0009】

【発明が解決しようとする課題】ところで、デジタル情報を伝送する際には、伝送される情報を確実に検出するため、例えば図5に示すように、プリアンプPAに続いて、所定パターンの同期信号SYNCが適宜の周期でデジタル情報DATAに挿入される。そして、この同期信号としては、全てのデジタル変調符号に対してハミング距離の大きい、特別のパターンが選定される。

【0010】例えば、次の表1に示すような変調符号に対して、ハミング距離が2以上となるように、次のようなSYNCパターンC<sub>sy</sub>が選定される。

$$C_{sy} = "00111110"$$

【0011】

【表1】

原信号	中間データ	変調符号								SYNC との距離
		#7	6	5	4	3	2	1	0	
0	0 0	0	0	1	1	0	0	1	1	3
1	0 1	0	1	1	0	0	1	1	1	5
2	1 0	0	0	0	1	1	1	0	0	2
3	1 1	0	0	1	1	0	0	0	1	4

【0012】ところが、従来、SYNCパターンのエラー訂正は、次のような理由により、行なわれていなかった。SYNCパターンとしては、前述のように、全てのデジタル変調符号に対してハミング距離の大きい、特別のパターンが選定されているから、SYNCパターンのエラーを訂正した場合は、デジタル変調符号に対するハミング距離が小さくなって、エラー訂正は無意味であるというものである。このため、SYNCパターン自体のエラー発生確率が大きくなってしまいう問題があった。

【0013】また、SYNCパターンのエラー訂正を強行した場合は、デジタル変調符号に対するハミング距離が小さくなる分だけ、SYNCとみなされるパターン数が増えるため、変調符号がエラー発生によりSYNCパターンに変わる確率、即ち、疑似同期信号が発生する確率が大きくなってしまいう問題があった。この場合、訂正すべきエラーパターンと変調符号との距離が短いときに、疑似同期信号発生確率が悪化し易い。

【0014】例えば、前述のようなSYNCパターンC<sub>sy</sub>が、1ビットエラーにより、次の表2に示すように変わった場合、この表2の“c”に対応する第3列のエラーパターンC<sub>ec</sub> = “00011110”は、前出表1の原信号“2”に対応する変調符号C<sub>m2</sub> = “00011100”に対して、#1ビットのみが異なる。また、表2の“g”に対応する第7列のエラーパターンC<sub>eg</sub> = “00111100”は、表1の“2”に対応する変調符号C<sub>m2</sub>に対して、#5ビットのみが異なる。

【0015】

【表2】

エラー 番号	エラーパターン							
	#7	6	5	4	3	2	1	0
a	1	0	1	1	1	1	1	0
b	0	1	1	1	1	1	1	0
c	0	0	0	1	1	1	1	0
d	0	0	1	0	1	1	1	0
e	0	0	1	1	0	1	1	0
f	0	0	1	1	1	0	1	0
g	0	0	1	1	1	1	0	0
h	0	0	1	1	1	1	1	1

【0016】即ち、図6に概念的に示すように、1ビットエラー空間Rel内のエラーパターンCec、Cegと、変調符号空間Rc内の変調符号Cm2とのハミング距離は[1]となる。そして、この1ビットエラーパターンCec、Cegは、当然ながら、SYNCパターンCsyとのハミング距離も[1]である従って、このエラーパターンCec、Cegは、SYNCパターンCsy、変調符号Cm2と等距離にあって、いずれの確からしさも等しいため、訂正することができない。そして、訂正を強行した場合は、疑似同期信号発生確率が悪化することになる。

【0017】かかる点に鑑み、この発明の目的は、デジタル信号伝送系において、疑似同期信号発生確率を悪化させることなく、SYNCパターンの検出能力を格段に向上させたデジタル同期検出装置を提供するところにある。

【0018】

【課題を解決するための手段】この発明は、所定周期で一連の入力データ列に挿入され、この入力データ列との距離がk以上となる特定パターンの同期データ列を、一連の入力データ列から検出するようにしたデジタル同期検出装置において、所定周期の検出窓信号Pwを発生する検出窓信号発生手段40と、同期データ列のk-1ビットエラーパターンを記録している記録手段31とを備え、検出窓信号Pwの発生区間で、記録手段31に記録されたエラーパターンと入力データ列とのビットパターンが一致する場合には、入力データ列を同期データ列として検出するようにしたデジタル同期検出装置である。

【0019】

【作用】かかる構成によれば、疑似同期信号発生確率が悪化することなく、SYNCパターンの検出能力が格段に向上する。

【0020】

【実施例】以下、図1～図3を参照しながら、この発明によるデジタル同期検出装置をデジタルVTRに適用した一実施例について説明する。

【0021】この発明の一実施例の全体の構成を図2に示し、要部の構成を図1に示す。図2において、10は記録系であって、端子11からのアナログビデオ信号等が、A-D変換器12を介して、データ生成回路13に

供給され、システムフォーマットに則した記録データが生成される。14はデジタル変調（データ変換）回路であって、前出表1に示すような変換コードが格納されたROMテーブルを備える。生成回路13の出力がデジタル変調回路（ROM）14に供給されて、この変調回路14から出力されたサンプルデータが、記録増幅器15を介して、磁気ヘッド1に供給され、磁気テープMTに直接記録される。

【0022】20は再生系であって、磁気テープMTから磁気ヘッド2によって再生されたRF信号が、再生増幅器21と波形等化回路22とを介して、2値比較器23に供給され、サンプルデータが再生される。また、PLL回路24には比較器23の出力が供給される。

【0023】30は同期検出回路であって、その詳細構成は後述する。この同期検出回路30には、比較器23の出力とPLL回路24の出力とが供給され、同期検出回路30の出力がデジタル復調回路25に供給されて、原データに変換され、出力端子26に導出される。

【0024】この実施例の同期検出回路30は、図1に示すように、ROM31と、3つのアンドゲート32、33、34；2つのオアゲート35、36；2つのDフリップフロップ37、38からなる検出部と、カウンタ41、Dフリップフロップ42、アンドゲート43からなる検出窓信号発生回路40とで構成される。

【0025】ROM31には、次の表3に示すような、8ビット入力、4ビット出力のデータテーブルが搭載され、4ビット出力のうち、下位2ビットQ0、Q1が複号データとされると共に、上位2ビットQ2、Q3が同期ビットないしエラービットとされる。ROM31の4ビット出力のうち、#1、#3ビットQ1、Q3が、正相で、3つのアンドゲート32、33、34に共通に供給されると共に、#2ビットQ2が、反転されて、アンドゲート32～34に共通に供給される。

【0026】アンドゲート32、33の出力が、オアゲート35を介して、一方のフリップフロップ37に供給され、このフリップフロップ37からSYNCフラグFsyが出力される。ROM31の#2出力ビットQ2と、アンドゲート34の出力とが、オアゲート36を介して、他方のフリップフロップ38に供給され、このフリップフロップ38からエラーフラグFerが出力される。

【0027】フリップフロップ37からのSYNCフラグFsyが、検出窓信号発生回路40のカウンタ41に供給される。このカウンタ41には、SYNCパターンの繰返し周期からクロック遅延量を減じた値がプリセットされており、SYNCフラグFsyが供給されるごとに、繰返し周期に対応するクロックCKを計数して停止する。

【0028】カウンタ41の出力はフリップフロップ42とアンドゲート43に供給され、フリップフロップ42の出力が、反転されてアンドゲート43に供給され

る。そして、アンドゲート43の出力が、検出部のアンドゲート33に正相で供給されると共に、反転されてアンドゲート34に供給される。

【0029】次に、図3をも参照しながら、この発明の一実施例の要部の動作について説明する。

【0030】この発明では、前述のようなSYNCパターンの周期性に着目し、所定周期の検出窓信号を形成して、この窓信号の区間中にSYNCパターンのエラー訂正を行なうことにより、疑似同期信号発生確率を悪化させることなく、SYNCパターンの検出能力を格段に向

\* 上させるようにしたものである。

【0031】この実施例では、図3Aに示すように、例えばmバイトのデータDATAごとに、例えば1バイトのSYNCパターンが挿入されており、SYNCパターンの繰返し周期は、例えばm+1バイトとなる。一方、ROM31には、次の表3に示すようなデータテーブルが搭載されており、多様な入力データに応じて、7通りのデータが出力される。

【0032】

【表3】

入力符号 / 原信号	入力データ A #7 6 5 4 3 2 1 0	出力データ Q #3 2 1 0
Csy	0 0 1 1 1 1 1 0	1 0 0 0
Cea Ceb Ced Cee Cef Ceh	1 0 1 1 1 1 1 0 0 1 1 1 1 1 1 0 0 0 1 0 1 1 1 0 0 0 1 1 0 1 1 0 0 0 1 1 1 0 1 0 0 0 1 1 1 1 1 1	1 0 0 0
Cec Ceg	0 0 0 1 1 1 1 0 0 0 1 1 1 1 0 0	1 0 1 0
0 1 2 3	0 0 1 1 0 0 1 1 0 1 1 0 1 1 1 1 0 0 0 1 1 1 0 0 0 0 1 1 0 0 0 1	0 0 0 0 0 0 0 1 0 0 1 0 0 0 1 1
エラー	上 記 以 外	1 1 1 1

【0033】この実施例では、表3に示すように、変調符号との距離が【2】以上となる6つの1ビットエラーパターンCea, Ceb; Ced~Cef; Cehに対して、SYNCパターンCsyと同一の出力データ“1000”が割り付けられており、6つのエラーパターンCea~Cehは、同期検出回路30において、いずれもSYNCパターンCsyと同様に処理される。この6つのエラーパターンCea~Cehは、変調符号よりも、SYNCパターンの誤りである確率が高いため、6つのエラーパターンCea~Cehに対しては、無条件にエラー訂正が施される。

【0034】この場合、ROM31の上位3ビットQ3, Q2, Q1が“1”, “0”, “0”であり、それぞれアンドゲート32の正相入力端子と2つの反転入力端子に供給されて、アンドゲート32の出力は“1”となり、オアゲート35を介して、一方のフリップフロップ37に供給される。これにより、図3Bに示すようなSYNCフラグFsyがフリップフロップ37から出力される。

【0035】このSYNCフラグFsyが供給されると、検出窓信号発生回路40のカウンタ41は、SYNCパターンの繰返し周期からクロック遅延量を減じたプリセット値に対応するクロックを計数して停止し、カウンタ

41の出力は図3Cに示すようになる。このカウンタ41の出力が供給されて、Dフリップフロップ42の出力は図3Dに示すようになる。

【0036】アンドゲート43には、このDフリップフロップ42の出力が反転供給されると共に、カウンタ41の出力が供給されて、アンドゲート43の出力は、図3Eに示すように、カウンタ41の出力と同じタイミングとなり、検出窓信号Pwとして、アンドゲート33, 34に供給される。

【0037】変調符号との距離が【1】となる1ビットエラーパターンCec, Cegのいずれかが入力された場合は、表3に示すように、ROM31の上位3ビットQ3, Q2, Q1が“1”, “0”, “1”となり、Q2のみが反転されて、それぞれアンドゲート33, 34に供給される。一方、検出窓信号Pwが、アンドゲート33に正相で供給され、アンドゲート34には反転供給されている。

【0038】従って、検出窓信号Pwが存在するときには、アンドゲート33の出力が“1”となり、オアゲート35を介して、フリップフロップ37を駆動し、SYNCフラグFsyが出力される。換言すれば、この実施例では、検出窓信号Pwのオン区間に、変調符号との距離

が[1]となる1ビットエラーパターンCec, Cegに対しても、エラー訂正が施されて、SYNCパターンの検出能力を格段に向上させることができる。そして、エラー訂正区間を特定しているため、疑似SYNCパターンが発生することはない。

【0039】また、検出窓信号Pwが存在しないときは、アンドゲート34の出力が“1”となり、オアゲート36を介して、フリップフロップ38を駆動し、エラーフラグFerが出力されて、エラーが検出される。

【0040】前述のように、変調符号Cm2に対するハミング距離が[1]であり、SYNCパターンCsyとも[1]の距離にある1ビットエラーパターンCec, Cegは、いずれの確からしさも等しいため、SYNCパターンCsyの#1, #5ビットのエラーに対しては訂正ができない。このように、エラー訂正できないビットが存在すると、符号のエラー発生確率は、訂正できないビットのエラー発生確率にほぼ支配される。例えば、8ビットのサンプルデータがエラーになる確率をPsとすると、従来のように、SYNCパターンCsyの#1, #5ビットのエラー訂正ができない場合、符号のエラー発生確率Pelは次のようになる。

$$Pel = 2Ps/8$$

【0041】この実施例では、検出窓信号Pwの区間中を含めて、SYNCパターンの全てのビットのエラー訂正が可能となり、8ビットのうち2ビット以上のエラーが発生した場合のみがエラーとなる。従って、この実施例のエラー発生確率Pe2は次のようになり、 $Ps \leq 10^{-2}$ の場合、従来に比べて格段に向上する。

$$Pe2 = C_2 \cdot Ps^2 = 28Ps^2$$

【0042】通常のSYNC検出は、SYNCツースYNCで行なわれることが多く、図3B～Eに破線で示すように、SYNCパターンが検出されないことがあっても、例えば、3回に1回の割合で検出することができればよい場合、上述のような数値例によれば、従来のエラー発生確率Pt1と、この実施例のエラー発生確率Pt2は、それぞれ次のようになり、この実施例のエラー発生確率が飛躍的に向上することが判る。

$$Pt1 = Pel^3 = 1.6 \times 10^{-11}$$

$$Pt2 = Pe2^3 = 2.2 \times 10^{-15}$$

【0043】なお、同期乱れの場合には、SYNCパターンから1ビットずれたエラーパターンのうちで、変調符号とのハミング距離dkがk (k ≥ 3) 以上であるものをSYNCパターンとみなして、エラーを訂正する\*

することができる。また、トラックの先頭やEDITギャップの直後には、例えば、ブリアンブルが2回連続して検出されるような検出窓信号を形成し、このブリアンブルが連続して検出された後に、上述のようなSYNC検出窓を開くようにすればよい。

【0044】上述の実施例では、簡単のために、変調符号とのハミング距離が2以上であるSYNCパターンから1ビットずれたエラーパターンを検出窓区間に訂正するようにしたが、一般的には、変調符号とのハミング距離がk以上であるSYNCパターンのk-1ビットエラーを検出窓区間に訂正することができる。また、上述の実施例では、簡単のために、4-8変換を例示して説明したが、その他の8-10変調、8-14変調などにも、同様にこの発明を適用することができる。

【0045】以上詳述のように、この発明によれば、デジタル変調符号とのハミング距離がk以上で、所定周期のSYNCパターンに対して、検出窓信号発生手段により、所定周期の検出区間を設定し、且つ、SYNCパターンのk-1ビットエラーパターンを記録手段に記録し、この検出区間内で、記録手段に記録されたエラーパターンとビットパターンが一致する入力データ列をSYNCパターンとして検出するようにしたので、デジタル信号伝送系において、疑似同期信号発生確率を悪化させることなく、SYNCパターンの検出能力を格段に向上させたデジタル同期検出装置が得られる。

#### 【図面の簡単な説明】

【図1】この発明によるデジタル同期検出装置をデジタルVTRに適用した一実施例の要部の構成を示すブロック図

【図2】この発明の一実施例の全体の構成を示すブロック図

【図3】この発明の一実施例の動作を説明するためのタイムチャート

【図4】この発明を説明するための概念図

【図5】この発明を説明するための概念図

【図6】この発明を説明するための概念図

#### 【符号の説明】

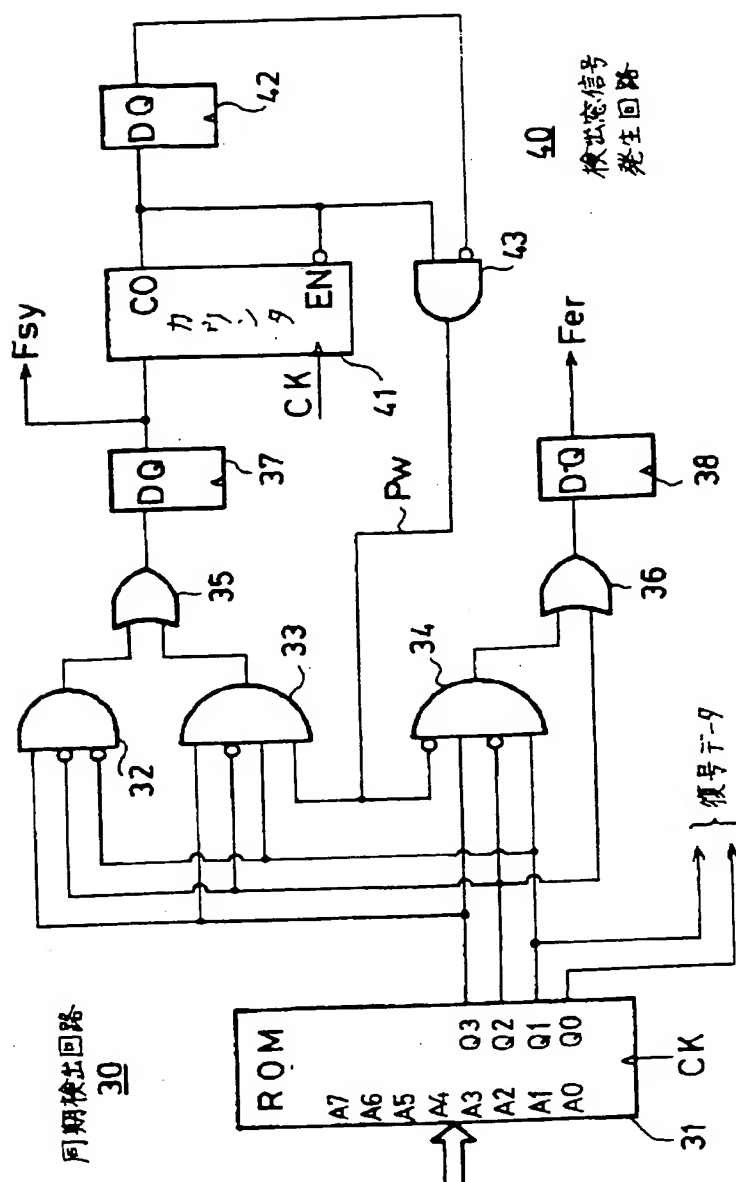
- 14 デジタル変調回路
- 25 デジタル復調回路
- 30 同期検出回路
- 31 ROM
- 40 検出窓信号発生回路
- Pw 検出窓信号

【図5】

PA	SYNC	DATA	SYNC	DATA
----	------	------	------	------

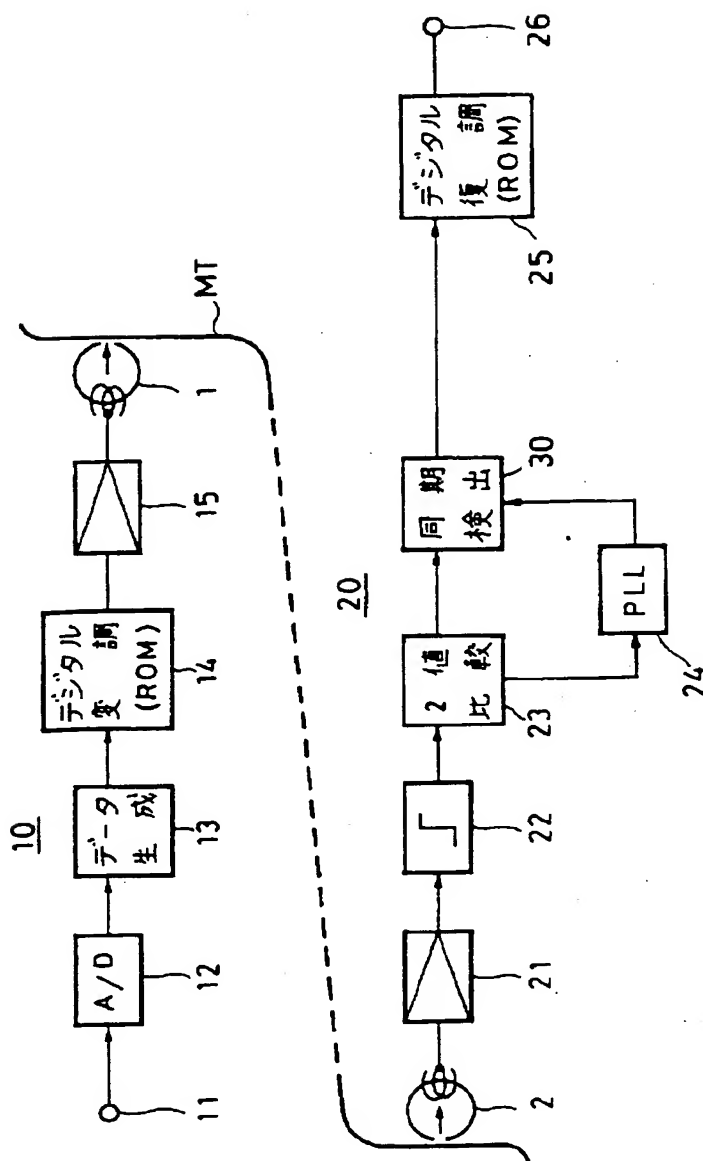
伝送フォーマット例

【図1】



実施例の各部

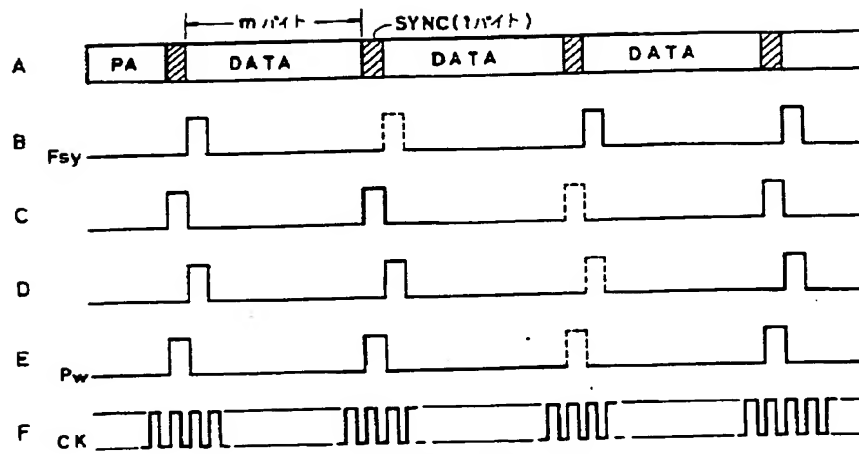
【図2】



実 施 例

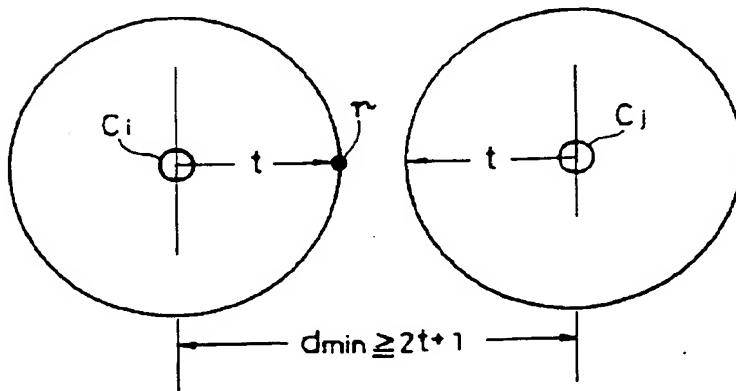


【図3】



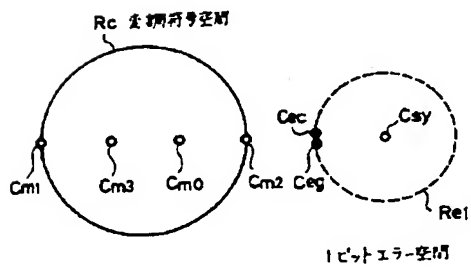
実施例の要部のタイムチャート

【図4】



ハミング 距離

【図6】



同期エラーの発生

Translation of the attached sheet (Japanese text portions only)  
Background Art Information

Patent No./Publication	Inventor(s)/Author(s)	Date etc
U.S. Patent No. 5,243,471; Charles E. Shinn; Sep. 7, 1993		
*Concise Explanation		
This patent discloses a technology for detecting SYNC patterns, but fails to show such prediction means as disclosed in the present application, i.e., prediction means for predicting a position where a reproduction signal is used.		
U.S. Patent No. 6,023,386; David E. Reed et al.; Feb. 8, 2000		
*Concise Explanation		
In this U.S. patent, both a preamble and a SYNC pattern are detected by using only sampling signals that are not subject to binarization. The present invention differs distinctly from the U.S. patent in that a SYNC pattern is detected by using only binary data.		
Japanese Patent No. 3318937; Isozaki.; Registration Date: June 21, 2002; Publication Date: May 25, 1993		
*Concise Explanation		
This patent discloses a technology for predicting a SYNC position by counting SINC pattern generation intervals. The patent fails to teach the technology of the present invention which uses reproduction signals corresponding to preambles.		
Prior Applications of Inventors or of Kabushiki Kaisha Toshiba (Assignee)		
Application No.	Toshiba Reference	Country Agent memo
Inventor(s)		
Signature & Date		

Patent engineer's comment on inventor's information or patent engineer's information		
None		
*		
Checked by	Dated	
Toshiba Reference	Japanese Agent's Ref	sheet

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**